

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-224477

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

H04N 5/265

G09G 5/00

G09G 5/22

H04N 5/445

H04N 5/66

(21)Application number : 11-024663

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 02.02.1999

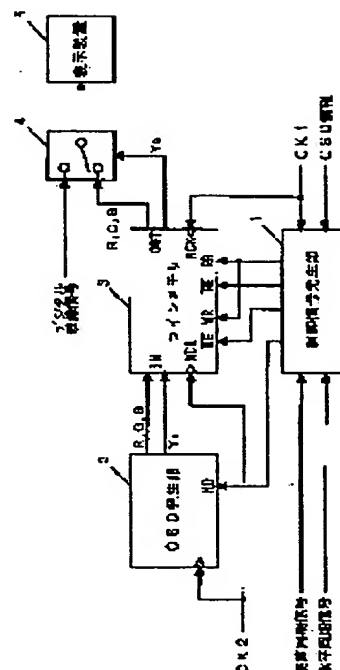
(72)Inventor : OTOME TAKASHI  
SHINDO YOSHIKUNI

## (54) VIDEO DISPLAY DEVICE AND METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide video display device and method capable of high definition on-screen display corresponding to a dot clock even in the case of using an on-screen display device operated only by a clock slower than the dot clock synchronized with video signals.

**SOLUTION:** Corresponding to signals outputted by a control signal generation part 1, a line memory 3 writes on-screen signals outputted by an OSD generation part 2 by the clock (CK2) slower than the dot clock of the video signals and reads them by the clock (CK1) synchronized with the dot clock of the video signals. A changeover part 4 inserts the on-screen signals synchronized with the dot clock of the video signals outputted by the line memory 3 to the predetermined period of the video signals by selectively switching output.



## LEGAL STATUS

[Date of request for examination] 26.06.2001

[Date of sending the examiner's decision of  
rejection] 04.02.2004[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-224477

(P2000-224477A)

(43) 公開日 平成12年8月11日(2000.8.11)

(51) IntCl <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
H 0 4 N 5/265		H 0 4 N 5/265	5 C 0 2 3
G 0 9 G 5/00	5 3 0	G 0 9 G 5/00	5 3 0 M 5 C 0 2 5
		5/22	6 7 0 C 5 C 0 5 8
5/22	6 7 0	H 0 4 N 5/445	Z 5 C 0 8 2
H 0 4 N 5/445		5/66	D

審査請求 未請求 請求項の数4 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平11-24663

(22) 出願日 平成11年2月2日(1999.2.2)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 大留 孝史

大阪府茨木市松下町1番1号 株式会社松

下エーヴィシー・テクノロジー内

(72) 発明者 進藤 嘉邦

大阪府茨木市松下町1番1号 株式会社松

下エーヴィシー・テクノロジー内

(74) 代理人 100098291

弁理士 小笠原 史朗

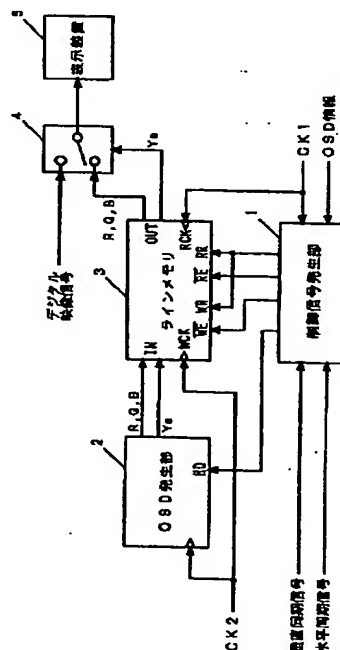
最終頁に続く

(54) 【発明の名称】 映像表示装置および方法

(57) 【要約】

【課題】 映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能な映像表示装置および方法を提供する。

【解決手段】 制御信号発生部1が出力する信号に従って、ラインメモリ3は、OSD発生部2が出力するオン・スクリーン信号を映像信号のドットクロックよりも遅いクロック(CK2)で書き込み、映像信号のドットクロックに同期したクロック(CK1)で読み出す。切替部4は、ラインメモリ3が出力する映像信号のドットクロックに同期したオン・スクリーン信号を、出力を選択的に切り換えることで映像信号の予め定められた期間に挿入する。



【特許請求の範囲】

【請求項1】 映像信号に予め定めたオン・スクリーン信号を挿入する映像表示装置であって、

前記予め定めたオン・スクリーン信号を発生するOSD発生手段と、

前記OSD発生手段が出力するオン・スクリーン信号を、書き込みクロック（ただし、読み出しクロックより遅い）に同期して書き込み、当該書き込んだオン・スクリーン信号を、前記映像信号のドットクロックである読み出しクロックに同期して読み出すデュアルポートのラインメモリと、

前記ラインメモリが読み出したオン・スクリーン信号を、前記映像信号の予め定めた期間に挿入する切替手段とを備える、映像表示装置。

【請求項2】 並列処理された複数の映像信号にそれぞれ予め定めたオン・スクリーン信号を挿入する映像表示装置であって、

前記予め定めたオン・スクリーン信号を発生するOSD発生手段と、

前記OSD発生手段が出力するオン・スクリーン信号を、予め定めた書き込みクロック（ただし、読み出しクロックより遅い）に同期して書き込み、当該書き込んだオン・スクリーン信号を、前記映像信号のドットクロックである読み出しクロックに同期して読み出すデュアルポートの複数のラインメモリと、

前記複数のラインメモリが並列的な書き込み処理を行うことができるように、各々の書き込みクロックのタイミングを制御する制御手段と、

前記複数のラインメモリがそれぞれ読み出したオン・スクリーン信号を、前記複数の映像信号の予め定めた期間にそれぞれ挿入する複数の切替手段とを備える、映像表示装置。

【請求項3】 映像信号に予め定めたオン・スクリーン信号を挿入する映像表示方法であって、

前記予め定めたオン・スクリーン信号を、書き込みクロック（ただし、読み出しクロックより遅い）に同期してラインメモリに書き込むステップと、

前記ラインメモリに書き込んだオン・スクリーン信号を、前記映像信号のドットクロックである読み出しクロックに同期して読み出すステップと、

前記ラインメモリから読み出したオン・スクリーン信号を、前記映像信号の予め定めた期間に挿入するステップとを備える、映像表示方法。

【請求項4】 並列処理された映像信号に、それぞれ予め定めたオン・スクリーン信号を挿入する映像表示方法であって、

前記予め定めたオン・スクリーン信号を、予め定めた各々の書き込みクロック（ただし、読み出しクロックより遅い）に同期して複数のラインメモリへ並列的に書き込むステップと、

前記複数のラインメモリに書き込んだオン・スクリーン信号を、前記映像信号のドットクロックである読み出しクロックに同期してそれぞれ読み出すステップと、前記複数のラインメモリからそれぞれ読み出したオン・スクリーン信号を、前記映像信号の予め定めた期間にそれぞれ挿入するステップとを備える、映像表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像表示装置および方法に関し、より特定的には、コンピュータ信号、NTSC信号、ハイビジョン信号等の各種映像信号の映像表示と共に、オン・スクリーン表示を行う映像表示装置および方法に関する。

【0002】

【従来の技術】近年、情報処理が進みワード・プロセッサやパーソナル・コンピュータ等の機器がオフィスや家庭に浸透している。特に、近年の機器においては、より多くの情報を表示させるために表示画面の大型化と共に表示画面の高精細化が進んでいる。この表示画面が高精細になると言うことは、映像信号のドットクロックが速くなるということに他ならない。一方、これらの機器において、例えば、ディスプレイならコントラストやブライトの設定、テレビジョン受像器なら音量やチャンネル等の表示をするために、表示画面上にオン・スクリーンで文字を表示することが一般に行われている。

【0003】上記オン・スクリーン表示を行う映像表示装置として、特開平6-319077号公報（以下、従来の文献という）に記載されたものが従来から広く知られている。図6は、この従来の文献に記載されている従来の映像表示装置の構成を示すブロック図である。図6において、従来の映像表示装置は、PLL回路101と、否定（NOT）回路102と、論理積（AND）回路103と、カウンタ104と、切替部105と、表示装置106とを備える。

【0004】PLL回路101は、映像信号に同期した水平ブランキング信号（H-BLK）を入力し、このH-BLKに従って一定周波数のクロックを発生する。カウンタ104は、PLL回路101が発生したクロックに基づいてオン・スクリーン信号の先頭文字位置（オン・スクリーン表示を行う期間）を与えるYs信号を発生し、切替部105の切替えを制御する。切替部105は、カウンタ104が出力するYs信号による制御に従って、映像信号とオン・スクリーン信号とを切り替えることにより、オン・スクリーンの表示期間の間にだけオン・スクリーン信号を表示装置106へ出力する。一般には、このような、H-BLK等の同期信号を入力することで、Ys信号とオン・スクリーン信号とを選択的に出力するデバイスが広く流通している。

【0005】また、周知のように、入力された映像信号のドットクロックが速い場合には、ディスプレイ・ドラ

イバの入力クロックを下げて映像信号の処理速度を上げるために、2相等の並列処理が行われている。

【0006】

【発明が解決しようとする課題】上述のように、各種映像信号が高精細化するに伴い、オン・スクリーン表示も表示文字の高精細化が必要不可欠となり、オン・スクリーン信号は映像信号のドットクロックに同期したクロックで動作する必要がある。しかしながら、実際のオン・スクリーン表示デバイスは、現在これに追従していない。また、たとえ所望のクロック周波数でオン・スクリーン表示デバイスが動作しても、オン・スクリーン信号を映像信号内に挿入するための映像表示処理回路とのインタフェースを行うのは困難である。また、上記並列処理がされた映像信号にオン・スクリーン信号を挿入する場合に、1文字あたりの解像度が落ちる問題があった。

【0007】それ故、本発明の目的は、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能な映像表示装置および方法を提供することである。

【0008】

【課題を解決するための手段および発明の効果】第1の発明は、映像信号に予め定めたオン・スクリーン信号を挿入する映像表示装置であって、予め定めたオン・スクリーン信号を発生するOSD発生手段と、OSD発生手段が出力するオン・スクリーン信号を、書き込みクロック（ただし、読み出しクロックより遅い）に同期して書き込み、当該書き込んだオン・スクリーン信号を、映像信号のドットクロックである読み出しクロックに同期して読み出すデュアルポートのラインメモリと、ラインメモリが読み出したオン・スクリーン信号を、映像信号の予め定めた期間に挿入する切替手段とを備える。

【0009】上記のように、第1の発明によれば、デュアルポートのラインメモリを用い、オン・スクリーン信号を従来の遅いクロックで一度ラインメモリに書き込み、この書き込んだオン・スクリーン信号を映像信号に同期した速いクロックで再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。

【0010】第2の発明は、並列処理された複数の映像信号にそれぞれ予め定めたオン・スクリーン信号を挿入する映像表示装置であって、予め定めたオン・スクリーン信号を発生するOSD発生手段と、OSD発生手段が出力するオン・スクリーン信号を、予め定めた書き込みクロック（ただし、読み出しクロックより遅い）に同期して書き込み、当該書き込んだオン・スクリーン信号を、映像信号のドットクロックである読み出しクロック

に同期して読み出すデュアルポートの複数のラインメモリと、複数のラインメモリが並列的な書き込み処理を行うことができるように、各々の書き込みクロックのタイミングを制御する制御手段と、複数のラインメモリがそれぞれ読み出したオン・スクリーン信号を、複数の映像信号の予め定めた期間にそれぞれ挿入する複数の切替手段とを備える。

【0011】上記のように、第2の発明によれば、複数のデュアルポートのラインメモリを用い、オン・スクリーン信号を従来の遅いクロックで並列的に一度複数のラインメモリにそれぞれ書き込み、このそれぞれ書き込んだオン・スクリーン信号を映像信号に同期した速いクロックで並列的に各々再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。さらに、複数相の並列処理された映像信号の場合でも、オン・スクリーン信号の1ドット単位の高精細な表示を行うことができる。

【0012】第3の発明は、映像信号に予め定めたオン・スクリーン信号を挿入する映像表示方法であって、予め定めたオン・スクリーン信号を、書き込みクロック（ただし、読み出しクロックより遅い）に同期してラインメモリに書き込むステップと、ラインメモリに書き込んだオン・スクリーン信号を、映像信号のドットクロックである読み出しクロックに同期して読み出すステップと、ラインメモリから読み出したオン・スクリーン信号を、映像信号の予め定めた期間に挿入するステップとを備える。

【0013】上記のように、第3の発明によれば、オン・スクリーン信号を従来の遅いクロックで一度ラインメモリに書き込み、この書き込んだオン・スクリーン信号を映像信号に同期した速いクロックで再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。

【0014】第4の発明は、並列処理された映像信号に、それぞれ予め定めたオン・スクリーン信号を挿入する映像表示方法であって、予め定めたオン・スクリーン信号を、予め定めた各々の書き込みクロック（ただし、読み出しクロックより遅い）に同期して複数のラインメモリへ並列的に書き込むステップと、複数のラインメモリに書き込んだオン・スクリーン信号を、映像信号のドットクロックである読み出しクロックに同期してそれぞれ読み出すステップと、複数のラインメモリからそれぞれ読み出したオン・スクリーン信号を、映像信号の予め定めた期間にそれぞれ挿入するステップとを備える。

【0015】上記のように、第4の発明によれば、オン・スクリーン信号を従来の遅いクロックで並列的に一度

複数のラインメモリにそれぞれ書き込み、このそれぞれ書き込んだオン・スクリーン信号を映像信号に同期した速いクロックで並列的に各々再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。さらに、複数相の並列処理された映像信号の場合でも、オン・スクリーン信号の1ドット単位の高精細な表示を行うことができる。

#### 【0016】

【発明の実施の形態】（第1の実施形態）図1は、本発明の第1の実施形態に係る映像表示装置の構成を示すブロック図である。図1において、第1の実施形態に係る映像表示装置は、制御信号発生部1と、オン・スクリーン・ディスプレイ（以下、OSDと略す）発生部2と、ラインメモリ3と、切替部4と、表示装置5とを備える。

【0017】制御信号発生部1は、水平同期信号、垂直同期信号、第1のクロック信号（以下、CK1という）およびOSD情報を入力する。そして、制御信号発生部1は、水平の1ライン（以下、1Hラインという）ごとに、どの期間にどのようなオン・スクリーン表示がされるかをOSD情報に基づいて判断し、その内容を伝える制御信号をCK1に同期してOSD発生部2へ出力する。また、制御信号発生部1は、1Hラインにおいて映像信号の有効期間の先頭を与えるリセット信号と、ラインメモリ3の書き込みを指示するライト・イネーブル信号および読み出しを指示するリード・イネーブル信号とを、CK1に同期してラインメモリ3へ出力する。OSD発生部2は、第2のクロック信号（以下、CK2という）および制御信号発生部1が出力する制御信号を入力し、当該制御信号に従って、オン・スクリーン表示を行う期間を与えるYs信号と、当該期間に表示する内容をRGBの各原色に変換した信号とを、CK2に同期してラインメモリ3へ出力する。

【0018】ここで、CK1は、映像信号に同期したドットクロックと同じクロックであり、CK2は、映像信号と同期していないクロックである。ただし、CK2のクロック周波数は、水平同期信号期間に対する映像信号の有効期間の割合を $\alpha$ （ $0 \leq \alpha \leq 1$ ）とすると、下記式に表す関係を満足するものとする。

$$\alpha \times CK1 \leq CK2 \leq CK1$$

【0019】ラインメモリ3は、書き込み処理と読み出し処理とが別々のクロックで動作するデュアルポート・ラインメモリであり、入力するR、G、B信号およびYs信号をCK2に同期して書き込み、この書き込んだR、G、B信号およびYs信号をCK1に同期して読み出す。ここで、ラインメモリ3は、制御信号発生部1が出力するリセット信号に従って書き込み／読み出し処理をリセットし、制御信号発生部1が出力するイネーブル

信号に従って書き込み／読み出し処理を行う。この読み出されたR、G、B信号およびYs信号は、切替部4へ出力される。切替部4は、ラインメモリ3が出力するR、G、B信号とデジタル映像信号とを入力し、ラインメモリ3が出力するYs信号に従って表示装置5へ出力する信号を選択的に切り替える。表示装置5は、例えば、LCD等の表示装置であり、切替部4が選択した信号を画面上に表示する。

【0020】以下、第1の実施形態に係る映像表示装置の動作を、図2および図3をさらに参照し、一例を挙げて具体的に説明する。図2は、オン・スクリーン表示の一例を示す図である。図2においては、表示装置5の画面上に方形の白色のオン・スクリーン表示を行う場合を示している。図3は、図2において波線で示した1Hラインにおける各信号のタイミングを示す図である。なお、図3では、図2の方形の白色の水平データが6つのデータ（図3中、模式的に1～6で示している）から構成されることを前提として記載している。また、CK1を映像信号に同期したドットクロックと同じ周波数のクロック（図3（d））とし、CK2をCK1の1/2周波数のクロック（図3（c））とする。

【0021】まず、制御信号発生部1は、水平同期信号に基づいて、1Hラインにおいて映像信号の有効期間の先頭を与える制御信号およびリセット信号（図3

（a））を生成し、OSD発生部2およびラインメモリ3へ出力する。OSD発生部2は、制御信号発生部1からさらに与えられるOSD情報の内容の各信号、すなわち、図3において、制御信号から期間tの経過後に6データの白色のオン・スクリーン表示を行うR、G、B信号およびYs信号（図3（b））を、ラインメモリ3へ出力する。なお、この例では、白色のオン・スクリーン表示を行う場合を説明しているため、RGBの各信号とYs信号とが同じ波形になっているが、例えば、緑色のオン・スクリーン表示を行う場合には、G信号とYs信号とが図3（b）の波形となり、R、B信号は共に常時L<sub>0</sub>出力となることは言うまでもない。

【0022】次に、制御信号発生部1は、OSD情報に基づいて、上記期間tが経過した時点から6つのデータをラインメモリ3が書き込み処理できるように、ライト・イネーブル信号（図3（e））をラインメモリ3へ出力する。そして、ラインメモリ3は、ライト・イネーブル信号（図3（e））の期間においてはCK2に同期して、入力するR、G、B信号およびYs信号（図3（b））をメモリ領域内に順次書き込む。一方、制御信号発生部1は、書き込むR、G、B信号およびYs信号（図3（b））のデータサイズを判断し、ラインメモリ3がメモリ領域に書き込んだ信号を連続的に読み出しが可能となった時点で、リード・イネーブル信号（図3（f））をラインメモリ3へ出力する。この例では、CK2がCK1の1/2周波数のクロックであるため、全

6データの半分の3データを書き込むのに必要な時間(すなわち、CK2が3クロック)にCK2の半周期経過時点が、リード・イネーブル信号(図3(f))の開始となる。そして、ラインメモリ3は、リード・イネーブル信号(図3(f))の信号を受けると、書き込み処理と並行してメモリ領域に書き込まれているR、G、B信号およびYs信号をCK1に同期して読み出し(図3(g))、切替部4へ出力する。

【0023】次に、切替部4は、ラインメモリ3が出力するCK1に同期した(すなわち、映像信号のドットクロックに同期した)R、G、B信号(図3(g))とデジタル映像信号(図3(h))とを入力し、ラインメモリ3が出力するCK1に同期したYs信号(図3

(g))に従って当該信号を選択的に切り替え、表示装置5へ切り替えた信号(図3(i))を出力する。表示装置5は、切替部4が選択した信号を画面上に表示する。

【0024】以上のように、本発明の第1の実施形態に係る映像表示装置によれば、デュアルポートのラインメモリ3を用い、オン・スクリーン信号を従来の遅いクロック(CK2)で一度ラインメモリ3に書き込み、この書き込んだオン・スクリーン信号を映像信号に同期した速いクロック(CK1)で再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。

【0025】(第2の実施形態)ところで、上述したように、映像のドットクロックが高い場合に並列処理をすることで見かけ上の処理時間を短縮する手法が良く用いられている。しかし、映像信号が2相の並列処理された場合には、オン・スクリーン信号を上記第1の実施形態で示したように重畳すると、オン・スクリーン表示の解像度は半分に落ちてしまい、また、1文字当たりのサイズも大きくなってしまう。そこで、本発明の第2の実施形態に係る映像表示装置は、オン・スクリーン表示の解像度および1文字当たりのサイズを落とすことなく並列処理を可能とするものである。

【0026】図4は、本発明の第2の実施形態に係る映像表示装置の構成を示すブロック図である。図4において、第2の実施形態に係る映像表示装置は、制御信号発生部1と、オン・スクリーン・ディスプレイ(OSD)発生部2と、ラインメモリ31、32と、切替部41、42と、表示装置5と、分周器6とを備える。

【0027】制御信号発生部1は、水平同期信号、垂直同期信号、第1のクロック信号(以下、CK1という)およびOSD情報を入力する。そして、制御信号発生部1は、水平の1ライン(以下、1Hラインという)ごとに、どの期間にどのようなオン・スクリーン表示がされるかをOSD情報に基づいて判断し、その内容を伝える

制御信号をCK1に同期してOSD発生部2へ出力する。また、制御信号発生部1は、予め定めたラインメモリ31、32の書き込みを指示するライト・イネーブル信号を出力すべく、分周器6を制御する。さらに、制御信号発生部1は、1Hラインにおいて映像信号の有効期間の先頭を与えるリセット信号と読み出しを指示するリード・イネーブル信号とを、CK1に同期してラインメモリ31、32へ出力する。OSD発生部2は、第2のクロック信号(以下、CK2という)および制御信号発生部1が出力する制御信号を入力し、当該制御信号に従って、オン・スクリーン表示を行う期間を与えるYs信号と、当該期間に表示する内容をRGBの各原色に変換した信号とを、CK2に同期してラインメモリ31、32へ出力する。

【0028】ここで、CK1は、映像信号に同期したドットクロックと同じクロックであり、CK2は、映像信号と同期していないクロックである。ただし、CK2のクロック周波数は、水平同期信号期間に対する映像信号の有効期間の割合を $\alpha$  ( $0 \leq \alpha \leq 1$ )とすると、下記式に表す関係を満足するものとする。

$$\alpha \times CK1 \leq CK2 \leq CK1$$

【0029】分周器6は、入力するCK2を1/2倍に分周し、制御信号発生部1が出力するライト・イネーブル信号に従った一定の期間だけクロックをラインメモリ31、32に出力する。ラインメモリ31、32は、それぞれ書き込み処理と読み出し処理とが別々のクロックで動作するデュアルポート・ラインメモリであり、入力するR、G、B信号およびYs信号をCK2に同期して書き込み、この書き込んだR、G、B信号およびYs信号をCK1に同期して読み出す。ここで、ラインメモリ31、32は、制御信号発生部1が出力するリセット信号に従って書き込み/読み出し処理をリセットし、分周器6が出力するクロックに従って書き込み処理を行い、制御信号発生部1が出力するイネーブル信号に従って読み出し処理を行う。この読み出されたR、G、B信号およびYs信号は、それぞれ切替部41、42へ出力される。

【0030】切替部41は、ラインメモリ31が出力するR、G、B信号とデジタル映像信号の奇数ライン(ODD)とを入力し、ラインメモリ31が出力するYs信号に従って表示装置5へ出力する奇数ラインの信号を選択的に切り替える。切替部42は、ラインメモリ32が出力するR、G、B信号とデジタル映像信号の偶数ライン(EVEN)とを入力し、ラインメモリ32が出力するYs信号に従って表示装置5へ出力する偶数ラインの信号を選択的に切り替える。表示装置5は、例えば、LCD等の表示装置であり、切替部41、42が選択した奇数ライン/偶数ラインの信号を順次画面上に表示する。

【0031】以下、第2の実施形態に係る映像表示装置

の動作を、図2および図5をさらに参照し、一例を挙げて具体的に説明する。図5は、図2において波線で示した1Hラインにおける各信号のタイミングを示す図である。なお、図5では、図2の方形の白色の水平データが6つのデータ（図5中、模倣的に1〜6で示している）から構成されることを前提として記載している。また、CK1を映像信号に同期したドットクロックと同じ周波数のクロック（図5（d））とし、CK2をCK1の1/2周波数のクロック（図5（c））とする。

【0032】まず、制御信号発生部1は、水平同期信号に基づいて、1Hラインにおいて映像信号の有効期間の先頭を与える制御信号およびリセット信号（図5

（a））を生成し、OSD発生部2およびラインメモリ31、32へ出力する。OSD発生部2は、制御信号発生部1からさらに与えられるOSD情報の内容の各信号、すなわち、図5において、制御信号から期間tの経過後に6データの白色のオン・スクリーン表示を行うR、G、B信号およびYs信号（図5（b））を、ラインメモリ31、32へそれぞれ出力する。なお、この例では、白色のオン・スクリーン表示を行う場合を説明しているため、RGBの各信号とYs信号とが同じ波形になっているが、例えば、緑色のオン・スクリーン表示を行う場合には、G信号とYs信号とが図5（b）の波形となり、R、B信号は共に常時Lo出力となることは言うまでもない。

【0033】次に、制御信号発生部1は、OSD情報に基づいて、上記期間tが経過した時点から6つのデータをラインメモリ31、32が並列的にそれぞれ書き込み処理できるように、ライト・イネーブル信号（図5

（b）と同一波形）を分周器6へ出力する。分周器6は、入力するCK2を1/2倍に分周し、制御信号発生部1が出力するライト・イネーブル信号の期間だけ、ラインメモリ31へは奇数ラインを処理するように奇数クロック（図5（e））を、ラインメモリ32へは偶数ラインを処理するように偶数クロック（図5（f））をそれぞれ出力する。そして、ラインメモリ31は、奇数クロック（図3（e））に同期して、入力するR、G、B信号およびYs信号（図5（b））をメモリ領域内に順次書き込み、ラインメモリ32は、偶数クロック（図5（f））に同期して、入力するR、G、B信号およびYs信号（図5（b））をメモリ領域内に順次書き込む。一方、制御信号発生部1は、書き込むR、G、B信号およびYs信号（図5（b））のデータサイズを判断し、ラインメモリ31、32がメモリ領域に書き込んだ信号をそれぞれ連続的に読み出しが可能となった時点で、リード・イネーブル信号（図5（g））をラインメモリ31、32へ出力する。この例では、CK2がCK1の1/2周波数のクロックである、各ラインメモリ31、32の読み出すデータが1/2であるため、図5（g）に示したタイミングとなる。そして、ラインメモリ31、

32は、リード・イネーブル信号（図5（g））の信号を受けると、書き込み処理と並行してメモリ領域に書き込まれているR、G、B信号およびYs信号をCK1に同期してそれぞれ読み出し（図5（h））、切替部41、42へ各々出力する。

【0034】次に、切替部41は、ラインメモリ31が出力するCK1に同期した（すなわち、映像信号のドットクロックに同期した）R、G、B信号（図5（h）上側）とデジタル映像信号（図5（i））とを入力し、ラインメモリ31が出力するCK1に同期したYs信号（図5（h））に従って当該信号を選択的に切り替え、表示装置5へ切り替えた奇数ラインの信号（図5（j）上側）を出力する。切替部42は、ラインメモリ32が出力するCK1に同期した（すなわち、映像信号のドットクロックに同期した）R、G、B信号（図5（h）下側）とデジタル映像信号（図5（i））とを入力し、ラインメモリ32が出力するCK1に同期したYs信号（図5（h））に従って当該信号を選択的に切り替え、表示装置5へ切り替えた偶数ラインの信号（図5（j）下側）を出力する。表示装置5は、切替部41、42が選択した奇数ライン/偶数ラインの信号を順次画面上に表示する。

【0035】以上のように、本発明の第2の実施形態に係る映像表示装置によれば、2つのデュアルポートのラインメモリ31、32を用い、オン・スクリーン信号を従来の遅いクロック（CK2）で奇数ラインのデータと偶数ラインのデータとを並列的に一度ラインメモリ31、32にそれぞれ書き込み、このそれぞれ書き込んだオン・スクリーン信号を映像信号に同期した速いクロック（CK1）で並列的に各々再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。さらに、2相の並列処理された映像信号の場合でも、オン・スクリーン信号の1ドット単位の高精細な表示を行うことができる。

【0036】なお、上記第2の実施形態においては、2相の並列処理された映像信号を処理する場合を述べたが、ラインメモリの数を相の数分だけ用意し、分周器6が出力するクロックをこれに対応させるようにすれば、2相以上の並列処理された映像信号に対しても本発明を適用することができる。また、上記第1および第2の実施形態において記載したタイミングチャート図（図3、図5）は一例であって、本発明の各構成が正しく動作できれば各信号の極性がそれぞれ逆であっても構わない。さらに、上記第1および第2の実施形態において、制御信号発生部1はOSD発生部2と独立の構成であるように記載した。しかし、これらの構成は、例えば、集積化等により同一の構成としても構わない。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る映像表示装置の構成を示すブロック図である。

【図2】オン・スクリーン表示の一例を示す図である。

【図3】本発明の第1の実施形態に係る映像表示装置において、図2の1Hラインにおける各信号のタイミングの一例を示す図である。

【図4】本発明の第2の実施形態に係る映像表示装置の構成を示すブロック図である。

【図5】本発明の第2の実施形態に係る映像表示装置において、図2の1Hラインにおける各信号のタイミングの一例を示す図である。

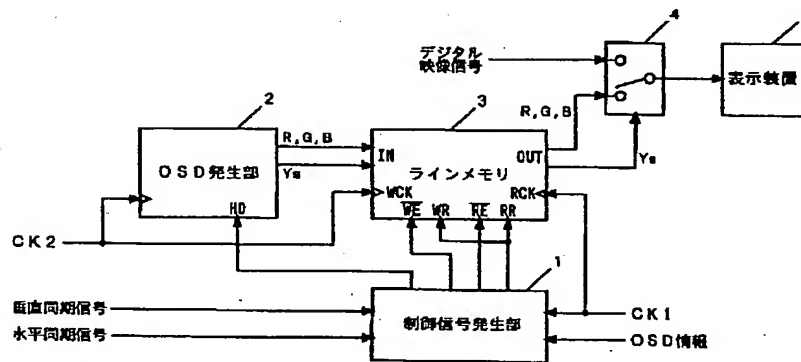
【図6】従来の映像表示装置の構成を示すブロック図で

ある。

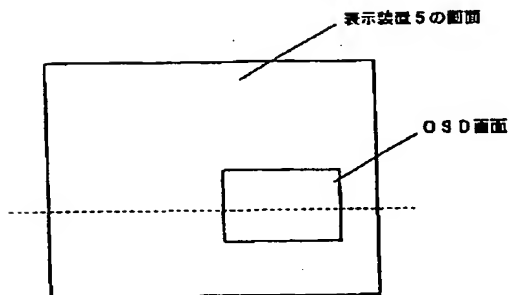
【符号の説明】

- 1…制御信号発生部
- 2…オン・スクリーン・ディスプレイ（OSD）発生部
- 3, 31, 32…ラインメモリ
- 4, 41, 42, 105…切替部
- 5, 106…表示装置
- 6…分周器
- 101…PLL回路
- 102…否定（NOT）回路
- 103…論理積（AND）回路
- 104…カウンタ

【図1】

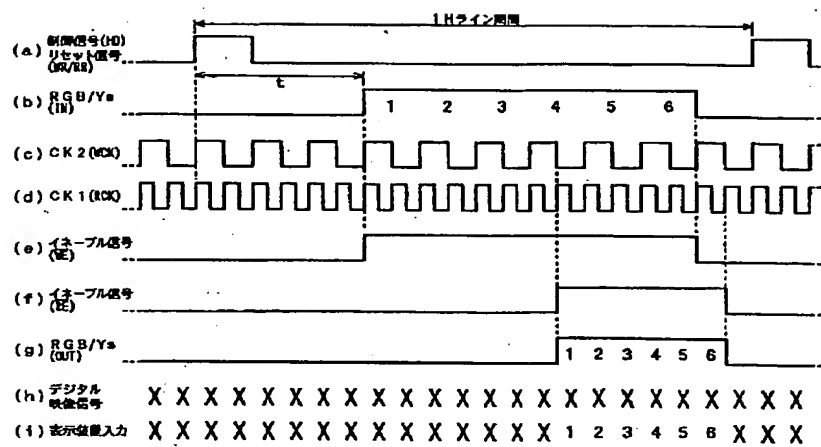


【図2】

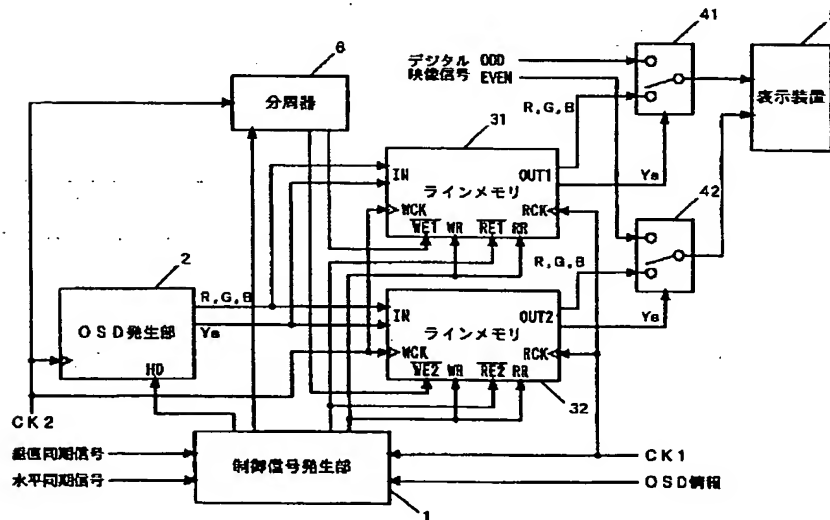




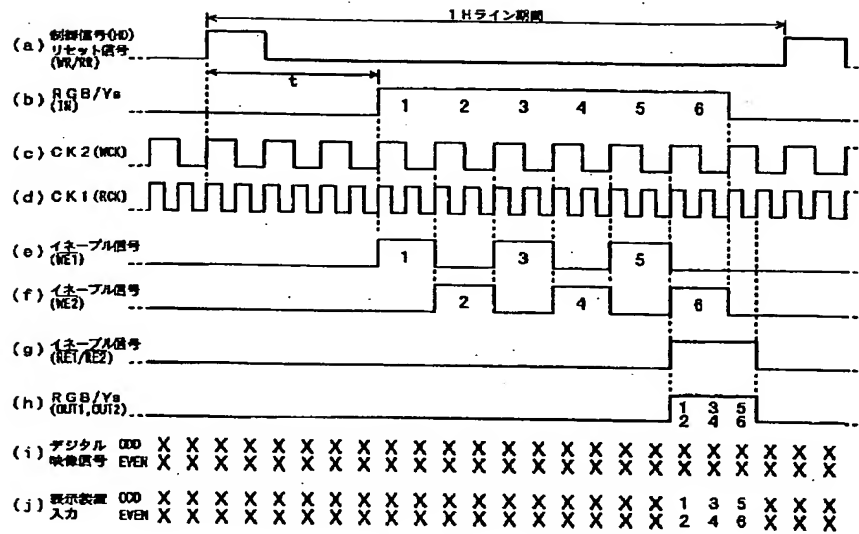
【図 3】



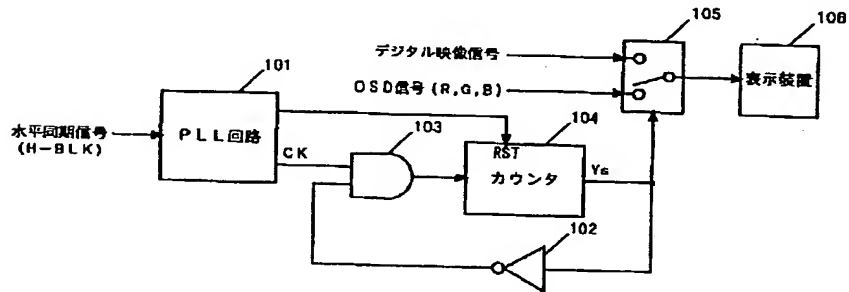
【例 4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

H 0 4 N 5/66

識別記号

F I

G 0 9 G 5/00

テーマコード(参考)

5 5 5 K

F ターム(参考) 5C023 AA14 AA18 AA21 AA38 CA05

DA01 EA02

5C025 BA27 CA09 CA20 CB05

5C058 AA06 BA21 BA35 BB08 BB12

BB25

5C082 BA34 BA41 CA56 DA59 DA76

EA17 EA18 MM02 MM07

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成14年1月11日(2002. 1. 11)

【公開番号】特開2000-224477(P2000-224477A)

【公開日】平成12年8月11日(2000. 8. 11)

【年通号数】公開特許公報12-2245

【出願番号】特願平11-24663

【国際特許分類第7版】

H04N 5/265

G09G 5/00 530

5/22 670

H04N 5/445

5/66

【FI】

H04N 5/265

G09G 5/00 530 M

5/22 670 C

H04N 5/445 Z

5/66 D

G09G 5/00 555 K

【手続補正書】

【提出日】平成13年6月26日(2001. 6. 26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】以下、第1の実施形態に係る映像表示装置の動作を、図2および図3をさらに参照し、一例を挙げて具体的に説明する。図2は、オン・スクリーン表示の一例を示す図である。図2においては、表示装置5の画面上に方形の白色のオン・スクリーン表示を行う場合を示している。図3は、図2において破線で示した1Hラインにおける各信号のタイミングを示す図である。なお、図3では、図2の方形の白色の水平データが6つのデータ(図3中、模擬的に1~6で示している)から構成されることを前提として記載している。また、CK1を映像信号に同期したドットクロックと同じ周波数のクロック(図3(d))とし、CK2をCK1の1/2周波数のクロック(図3(c))とする。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】以下、第2の実施形態に係る映像表示装置

の動作を、図2および図5をさらに参照し、一例を挙げて具体的に説明する。図5は、図2において破線で示した1Hラインにおける各信号のタイミングを示す図である。なお、図5では、図2の方形の白色の水平データが6つのデータ(図5中、模擬的に1~6で示している)から構成されることを前提として記載している。また、CK1を映像信号に同期したドットクロックと同じ周波数のクロック(図5(d))とし、CK2をCK1の1/2周波数のクロック(図5(c))とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】次に、制御信号発生部1は、OSD情報に基づいて、上記期間tが経過した時点から6つのデータをラインメモリ31、32が並列的にそれぞれ書き込み処理できるように、ライト・イネーブル信号(図5(b)と同一波形)を分周器6へ出力する。分周器6は、入力するCK2を1/2倍に分周し、制御信号発生部1が出力するライト・イネーブル信号の期間だけ、ラインメモリ31へは奇数ラインを処理するように奇数クロック(図5(e))を、ラインメモリ32へは偶数ラインを処理するように偶数クロック(図5(f))をそれぞれ出力する。そして、ラインメモリ31は、奇数クロック(図5(e))に同期して、入力するR、G、B

信号およびYs信号(図5(b))をメモリ領域内に順次書き込み、ラインメモリ32は、偶数クロック(図5(f))に同期して、入力するR、G、B信号およびYs信号(図5(b))をメモリ領域内に順次書き込む。一方、制御信号発生部1は、書き込むR、G、B信号およびYs信号(図5(b))のデータサイズを判断し、ラインメモリ31、32がメモリ領域に書き込んだ信号をそれぞれ連続的に読み出しが可能となった時点で、リード・イネーブル信号(図5(g))をラインメモリ3

1、32へ出力する。この例では、CK2がCK1の1/2周波数のクロックである、各ラインメモリ31、32の読み出すデータが1/2であるため、図5(g)に示したタイミングとなる。そして、ラインメモリ31、32は、リード・イネーブル信号(図5(g))の信号を受けると、書き込み処理と並行してメモリ領域に書き込まれているR、G、B信号およびYs信号をCK1に同期してそれぞれ読み出し(図5(h))、切替部41、42へ各々出力する。